



(51) 国際特許分類6

H01L 21/3205, 21/288, C23C 18/38

A1

(11) 国際公開番号

WO00/10200

(43) 国際公開日

2000年2月24日(24.02.00)

(21) 国際出願番号

PCT/JP99/04349

(22) 国際出願日

1999年8月11日(11.08.99)

(30) 優先権データ

特願平10/239490

1998年8月11日(11.08.98)

特願平11/30230

1999年2月8日(08.02.99)

特願平11/220363

1999年8月3日(03.08.99)

JP

JP

JP

(71) 出願人 (米国を除くすべての指定国について)

株式会社 荏原製作所(EBARA CORPORATION)[JP/JP]

〒144-8510 東京都大田区羽田旭町11番1号 Tokyo, (JP)

(72) 発明者 ; および

(75) 発明者/出願人 (米国についてのみ)

本郷明久(HONGO, Akihisa)[JP/JP]

小樽直明(OGURE, Naoaki)[JP/JP]

井上裕章(INOUE, Hiroaki)[JP/JP]

千代 敏(SENDAL, Satoshi)[JP/JP]

池上徹真(IKEGAMI, Tetsuma)[JP/JP]

三島浩二(MISHIMA, Koji)[JP/JP]

奥山修一(OKUYAMA, Shuichi)[JP/JP]

長井瑞樹(NAGAI, Mizuki)[JP/JP]

〒144-8510 東京都大田区羽田旭町11番1号

株式会社 荏原製作所内 Tokyo, (JP)

君塚亮一(KIMIZUKA, Ryoichi)[JP/JP]

〒156-0043 東京都世田谷区松原5丁目15番6号 Tokyo, (JP)

丸山恵美(MARUYAMA, Megumi)[JP/JP]

〒226-0027 神奈川県横浜市緑区長津田7丁目1番43号

ガーデンアパーク 603 Kanagawa, (JP)

(74) 代理人

渡邊 勇, 外(WATANABE, Isamu et al.)

〒160-0023 東京都新宿区西新宿7丁目5番8号

GOWA西新宿4階 Tokyo, (JP)

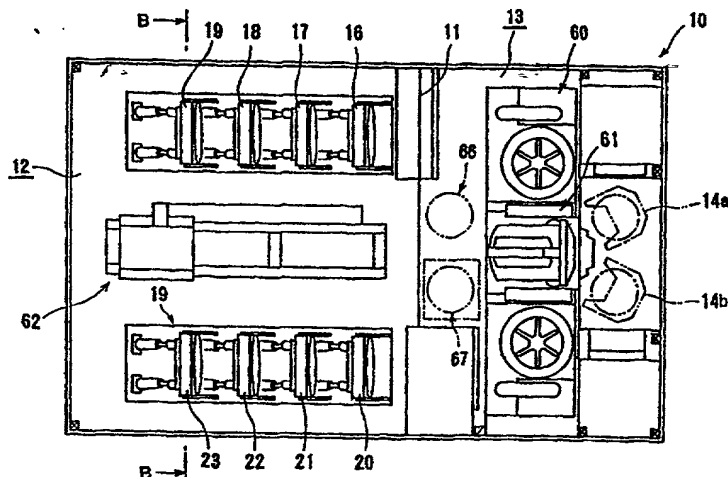
(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

添付公開書類

国際調査報告書

(54)Title: WAFER PLATING METHOD AND APPARATUS

(54)発明の名称 基板めっき方法及び装置



(57) Abstract

A method for plating through a simple manufacturing process a semiconductor wafer (W) so as to efficiently fill a fine recess (42) for interconnection made in the wafer (W) with a plating metal (43) having little voids and immune to contamination and to create an interconnection, comprising an electroless plating step of forming an initial film (41) on the wafer (W) and an electroplating step of filling the recess by electroplating using the initial film as the electricity feeding layer. An apparatus for plating a semiconductor wafer by such a method is also disclosed.